

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# EUROPEAN PATENT OFFICE

## Pat nt Abstracts of Japan

PUBLICATION NUMBER : 10079607  
PUBLICATION DATE : 24-03-98

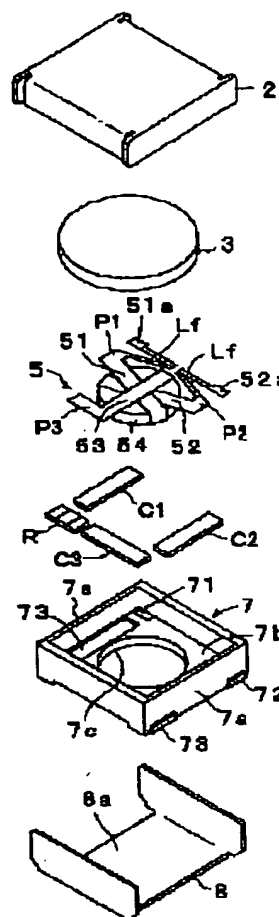
APPLICATION DATE : 04-09-96  
APPLICATION NUMBER : 08234351

APPLICANT : MURATA MFG CO LTD;

INVENTOR : KAWANAMI TAKASHI;

INT.CL. : H01P 1/383 H01P 1/36

TITLE : NON-RECIPROCAL CIRCUIT ELEMENT



ABSTRACT : PROBLEM TO BE SOLVED: To provide a non-reciprocal circuit element capably of increasing an out-band attenuation to considerably reduce production of spurious radiation thereby contributing to miniaturization and cost reduction.

SOLUTION: A disk shaped permanent magnet 3 is arranged on the inner face of and upper yoke 2 and a U-shaped lower yoke 8 consisting of a magnetic metal is attached to the upper yoke 2 to form a magnetic closed circuit. A resin case 7 is provided at a bottom side 8a is the lower yoke 8. A magnetic assembly 5, matching capacitors C1-C3 and a termination resistor R are arranged in the resin case 7, and inductors Lf are formed at respective tips of center conductors 51, 52 arranged in the magnetic assembly 5.

COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-79607

(43) 公開日 平成10年(1998) 3月24日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 P	1/383		H 0 1 P	A
	1/36		1/36	A

審査請求 未請求 請求項の数 4 O L (全 6 頁)

(21) 出願番号 特願平8-234351

(22) 出願日 平成8年(1996) 9月4日

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 牧野 敏弘

京都府長岡京市天神二丁目26番10号 株式  
会社村田製作所内

(72) 発明者 川浪 崇

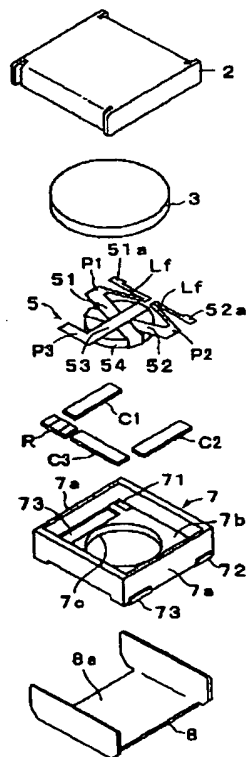
京都府長岡京市天神二丁目26番10号 株式  
会社村田製作所内

(54) 【発明の名称】 非可逆回路素子

(57) 【要約】

【課題】帯域外での減衰量を大きくして不要輻射の発生を大幅に低減することができ、よって、小型化、低価格化に貢献できる非可逆回路素子を提供する。

【解決手段】上ヨーク2の内面に円板状の永久磁石3を配置するとともに、該上ヨーク2に同じく磁性体金属からなる概略コ字状の下ヨーク8を装着して磁気閉回路を形成し、下ヨーク8内の底面8a上には樹脂ケース7が配設され、該樹脂ケース7内には磁性組立体5、整合用コンデンサC1～C3、終端抵抗Rが配設され、磁性組立体5に配置された中心導体51、52の先端部にはそれぞれインダクタンスLfが形成されている。



**【特許請求の範囲】**

【請求項1】 直流磁界が印加される磁性体に複数の中心導体を互いに交差させて配置し、前記各中心導体のポート部とアース間に整合容量を接続してなる非可逆回路素子において、

前記中心導体のうち、入出力端子に接続された少なくとも1つの中心導体の先端部が所定の値のインダクタンスを有するように形成され、該インダクタンスが前記ポート部と前記入出力端子との間に接続されていることを特徴とする非可逆回路素子、

【請求項2】 直流磁界が印加される磁性体に複数の中心導体を互いに交差させて配置し、前記各中心導体のポート部とアース間に整合容量を接続してなる非可逆回路素子において、

前記中心導体のうち、入出力端子に接続された少なくとも1つの中心導体の先端部が所定の値のインダクタンスを有するように形成され、該インダクタンスが前記ポート部と前記入出力端子との間に接続されており、前記インダクタンスと前記整合容量とこの非可逆回路素子が実装される実装基板の入出力伝送線路の電極分布容量とで低域通過フィルタが形成されることを特徴とする非可逆回路素子、

【請求項3】 前記インダクタンスを有するように前記中心導体の先端部が屈曲されて形成されていることを特徴とする請求項1または請求項2に記載の非可逆回路素子、

【請求項4】 前記インダクタンスを有するように前記中心導体の先端部が他の部位よりも幅が狭くまたは厚みが薄く形成されていることを特徴とする請求項1から請求項3のいずれかに記載の非可逆回路素子、

**【発明の詳細な説明】****【0001】**

【発明の属する技術分野】本発明は、マイクロ波帯等の高周波帯域で使用される非可逆回路素子、例えば、アイソレータ、サーキュレータに関し、特に移動通信機器に使用する場合の小型化、低価格化に対応できる非可逆回路素子に関する。

**【0002】**

【従来の技術】一般に、集中定数型のアイソレータ、サーキュレータ等の非可逆回路素子は、信号の伝送方向には減衰量が極めて小さく、逆方向には極めて大きい特性を有している。この種のアイソレータとして、従来、例えば図8に示すような構造のものがある。

【0003】このアイソレータは、主として上ヨーク2と下ヨーク8とで構成される磁気閉回路内に、永久磁石3、3本の中心導体51、52、53及びフェライト54とからなる磁性組立体5、及び樹脂ケース7を配設した構造のものである。上記中心導体51、52のポート部P1、P2は、上記樹脂ケース7に形成された入出力端子71、72及び整合用コンデンサC<sub>0</sub>、C<sub>0</sub>に接続

され、中心導体53のポート部P3は整合用コンデンサC<sub>0</sub>及び終端抵抗Rに接続され、各コンデンサC<sub>0</sub>及び終端抵抗Rの一端はアース端子73、73に接続されている。

【0004】図9はこのアイソレータの等価回路図である。図9に示すように、従来のアイソレータは、中心導体51、52、53の先端部にあたるポートP1、P2、P3に整合回路としてそれぞれ整合容量C<sub>0</sub>が接続され、1つのポートP3に終端抵抗Rを接続して構成されている。なお、各インダクタンスLはフェライト54と中心導体51、52、53とにより形成される等価的なインダクタンスである。

【0005】そして、このアイソレータは、携帯電話、自動車電話等の移動通信機器のアンテナ共用回路の送受信回路部に採用され、表面に入出力用の伝送線路及びアース電極が形成され、裏面の略全面にアース電極が形成された実装基板に表面実装されて使用される。

**【0006】**

【発明が解決しようとする課題】一般的に、このような通信機器に組み込まれる増幅器には非直線性が存在しており、これが不要輻射、つまりスプリアス（基本波の整数倍、特に2倍波、3倍波）の発生原因となっている。この不要輻射は、混信や他の通信機器の電力増幅部の異常動作の要因となることから、一定のレベル以下にすることが規格化されている。

【0007】また、アイソレータはその伝送方向の特性としてバンドパスフィルタの機能をも有しており、このため通過帯域より離れた周波数帯域では伝送方向でも減衰量が大いという特性を有している。しかし、アイソレータは元来帯域外の減衰を得るためのものではなく、上記従来のアイソレータでは不要輻射の周波数帯域（特に、基本波の2倍波、3倍波）で所望の減衰量を得ることはできない。このため、この種の従来の通信機器においては、別途フィルタ等を用いて不要輻射を減衰させる方法が採用されている。

【0008】すなわち、上記従来のアイソレータを用いた場合、上記のように不要輻射防止用のフィルタが必要であり、このフィルタの分だけ部品コストが上昇するとともに大型化するという問題があり、小型化、低価格化に対する要請に対応できないという問題があった。

【0009】そこで、本発明の目的は、帯域外での減衰量を大きくして不要輻射の発生を大幅に低減することができ、よって、小型化、低価格化に貢献できる非可逆回路素子を提供することにある。

**【0010】**

【課題を解決するための手段】上記目的を達成するために、請求項1に係る発明は、直流磁界が印加される磁性体に複数の中心導体を互いに交差させて配置し、前記各中心導体のポート部とアース間に整合容量を接続してなる非可逆回路素子において、前記中心導体のうち、入

力端子に接続された少なくとも1つの中心導体の先端部が所定の値のインダクタンスを有するように形成され、該インダクタンスが前記ポート部と前記入出力端子との間に接続されていることを特徴とするものである。

【0011】請求項2に係る発明は、直流磁界が印加される磁性体に複数の中心導体を互いに交差させて配置し、前記各中心導体のポート部とアース間に整合容量を接続してなる非可逆回路素子において、前記中心導体のうち、入出力端子に接続された少なくとも1つの中心導体の先端部が所定の値のインダクタンスを有するように形成され、該インダクタンスが前記ポート部と前記入出力端子との間に接続されており、前記インダクタンスと前記整合容量とこの非可逆回路素子が実装される実装基板の入出力伝送線路の電極分布容量とで低域通過フィルタが形成されることを特徴とするものである。

【0012】請求項3に係る発明は、請求項1または請求項2に記載の非可逆回路素子において、前記インダクタンスを有するように前記中心導体の先端部が屈曲されて形成されていることを特徴とするものである。

【0013】請求項4に係る発明は、請求項1から請求項3のいずれかに記載の非可逆回路素子において、前記インダクタンスを有するように前記中心導体の先端部が他の部位よりも幅が狭くまたは厚みが薄く形成されていることを特徴とするものである。

【0014】上記の構成によれば、中心導体の先端部に形成されたインダクタンスと、整合容量と、実装基板の入出力伝送線路の電極分布容量等の外部容量とで低域通過フィルタを形成することができるので、帯域外における減衰量を大幅に改善することができる。

【0015】すなわち、外形寸法を変えることなく非可逆回路素子に低域通過フィルタを構成するインダクタンス及び容量を形成することができ、これらのインダクタンス及び容量と、実装基板に形成される電極分布容量等の外部容量とで低域通過フィルタを構成することができるので、本発明に係る非可逆回路素子を用いれば、従来必要であった不要輻射防止用の別のフィルタを用いることなく、不要輻射を大幅に低減することができる。

【0016】

【発明の実施の形態】以下、本発明をその実施例を示す図面に基づいて説明する。

【0017】本発明の一実施例に係るアイソレータの構造、構成を図1～図3に示す。図1はアイソレータの分解斜視図、図2は永久磁石及び上ヨークを除いた状態での平面図、図3は等価回路図である。なお、図1及び図2に示すコンデンサ、インダクタンスは、それぞれ図3に示す整合容量、インダクタンスに対応するものであり、同一符号を記す。

【0018】本実施例のアイソレータは、図1及び図2に示すように、磁性体金属からなる箱状の上ヨーク2の

ーク2と同じく磁性体金属からなる概略コ字状の下ヨーク8を装着して磁気閉回路を形成し、下ヨーク8内の底面8a上には樹脂ケース7が配設され、該樹脂ケース7内には磁性組立体5、整合用コンデンサC1～C3、終端抵抗Rが配設され、磁性組立体5に永久磁石3により直流磁界が印加されるように構成されている。上記磁性組立体5は、円板状のフェライト54の下面に薄板状の金属板からなる3本の中心導体51～53のアース部を当接し、フェライト54の上面に3本の中心導体51～53を絶縁シート（不図示）を介在させて互いに120度の角度をなすように折り曲げて配置した構造のものであり、中心導体51、52の先端部は、所定のインダクタンス値が形成されるようにそれぞれ幅狭くかつV字状に屈曲して形成されており、中心導体51、52の先端部にはそれぞれインダクタンスL<sub>f</sub>が形成されている。

【0019】つまり、本実施例のアイソレータにおいては、信号入出力側の2つの中心導体51、52の先端部はインダクタンス形成に適した形状に加工され、中心導体51、52のポート部P1、P2と中心導体51、52の先端51a、52aとの間にはそれぞれ所定の値のインダクタンスL<sub>f</sub>が形成されて構成されている。

【0020】上記樹脂ケース7は、電気的絶縁部材からなり、矩形枠状の側壁7aに底壁7bを一体形成した構造のもので、入出力端子71、72及びアース端子73、73がその一部を樹脂内に埋設して設けられ、底壁7bの略中央部には挿通孔7cが形成されている。入出力端子71、72は樹脂ケース7の一方側両角部に配置され、それぞれの一端側は底壁7bの上面に露出するように、他端側は底壁7bの下面及び側壁7aの外面に露出するように設けられている。また、アース端子73、73は樹脂ケース7の他方側に配置され、それぞれの一端側は底壁7bのコンデンサC1～C3及び終端抵抗Rが配置される部分に所定の形状で露出するように、他端側は底壁7bの下面及び側壁7aの外面に露出するように設けられている。

【0021】上記挿通孔7c内には上記磁性組立体5が挿入配置され、この磁性組立体5の下面の各中心導体51～53のアース部は上記下ヨーク8の底面8aに接続されている。

【0022】上記挿通孔7cの周縁にはそれぞれ整合用のチップコンデンサC1～C3、チップ終端抵抗Rが配置されている。各コンデンサC1～C3の下面電極、及び終端抵抗Rの一端側の電極はそれぞれアース端子73、73に接続されている。各コンデンサC1～C3の上面電極にはそれぞれ各中心導体51～53のポート部P1～P3が接続され、終端抵抗Rの他端側はポート部P3に接続されている。

【0023】中心導体51、52の先端51a、52aは、入出力端子71、72の一端側である底壁7bの左

まり、中心導体51、52のポート部P1、P2はそれぞれインダクタンス $L_f$ を介して入出力端子71、72に接続されている。

【0024】すなわち、本実施例のアイソレータは、図3の等価回路図に示すように、中心導体51、52、53の先端部にあたるポートP1～P3に整合容量 $C_1$ ～ $C_3$ が接続され、1つのポートP3には終端抵抗 $R$ が接続され、2つのポートP1、P2と信号の入出力端となる入出力端子71、72との間にはそれぞれインダクタンス $L_f$ が接続された構成となっている。

【0025】そして、このアイソレータは、図4に示すように、表面に入出力用の伝送線路11、12及びアース電極13が形成され、裏面の略全面にアース電極が形成された実装基板10に表面実装されて使用される。具体的には、アイソレータの入出力端子71、72は伝送線路11、12のはんだ付けランド11a、12aに、アース端子73、73はアース電極13、13にそれぞれはんだ付けされて実装される。

【0026】アイソレータの入出力端子71、72がはんだ付けされるはんだ付けランド11a、12aは、十分な実装強度（はんだ付け強度）を得るために他の部位よりも幅の広く形成されており、はんだ付けランド11a、12aと裏面に形成されたアース電極間にはそれぞれ電極分布容量 $C_p$ が必然的に生じている。

【0027】次に、本実施例のアイソレータの作用効果について説明する。図5及び図6は上記のアイソレータが実装基板10に実装された状態での等価回路図であり、図6は実装状態での作用（動作原理）を説明するための等価回路図である。

【0028】図5に示すように、本実施例のアイソレータが実装基板10に実装された状態（図4参照）では、実装基板10の伝送線路11、12のはんだ付けランド11a、12aに寄生的に生じる電極分布容量 $C_p$ 、 $C_p$ がアイソレータの入出力端子71、72に接続された構成となる。そして、図6に示すように、アイソレータの信号入出力部（ポートP1、P2側）にはインダクタンス $L_f$ 、整合容量 $C_1$ 、 $C_2$ の一部である容量 $C_f$ 、及び外部容量である実装基板10の電極分布容量 $C_p$ からなる $\pi$ 型の低域通過フィルタLPFが形成される。

【0029】つまり、本実施例のアイソレータの整合容量 $C_1$ 、 $C_2$ は、アイソレータの整合回路として機能する容量 $C_o$ と上記 $\pi$ 型の低域通過フィルタLPFを形成する容量 $C_f$ との並列容量で構成されている。すなわち、本実施例のアイソレータの整合容量 $C_1$ 、 $C_2$ は、従来のアイソレータの整合容量 $C_o$ に容量 $C_f$ を付加した値に設定されている。例えば、1.5GHz帯においては、容量 $C_o$ は約5pF、容量 $C_f$ は約2pFに設定され、900MHz帯においては、容量 $C_o$ は約10pF、容量 $C_f$ は約3pFに設定され、インダクタンス $L_f$ は2nH～3nH程度に設定される。

【0030】容量 $C_f$ は、通常、アイソレータの入出力インピーダンス（通常、50 $\Omega$ ）が変化しないように、電極分布容量 $C_p$ の容量値と同じ値になるように設定されるが、容量 $C_f$ を電極分布容量 $C_p$ と異なる値に設定することにより、アイソレータの入出力インピーダンスを変更することも可能である。

【0031】インダクタンス $L_f$ は、中心導体51、52の先端部の幅、形状、屈曲方法等を変えることにより、所望の値に設定される。

【0032】上記容量 $C_f$ 、電極分布容量 $C_p$ 及びインダクタンス $L_f$ の値は、実装基板の厚み、使用周波数帯、電気的特性、実装強度等を考慮して適宜設定される。

【0033】図7は、本実施例のアイソレータと従来のアイソレータを実装基板に実装した状態での周波数特性を示す図であり、実線は本実施例による特性を示し、破線は従来の特性を示す。図7に示すように、本実施例のアイソレータを用いれば、従来のものに比べ、高周波帯側での減衰量が大幅に大きくなってことがわかる。

【0034】以上のように、本実施例のアイソレータにおいては、信号入出力側の2つの中心導体51、52の先端部にはそれぞれインダクタンス $L_f$ が形成されており、実装基板10に実装された状態で、各信号入出力部には、インダクタンス $L_f$ と整合容量 $C_1$ （または $C_2$ ）と実装基板10の電極分布容量 $C_p$ とで低域通過フィルタLPFが形成されるので、図7に示すように、帯域外における減衰量は従来のものに比べ大幅に改善されたものとなる。

【0035】すなわち、本実施例のアイソレータには、外形寸法を変えることなく低域通過フィルタLPFを構成するインダクタンス $L_f$ 及び容量 $C_f$ が内蔵され、かつ、実装基板10には、はんだ付けランド11a、12aに低域通過フィルタLPFを構成する電極分布容量 $C_p$ が必然的に形成されており、本実施例のアイソレータを用いれば、従来必要であった不要輻射防止用の別のフィルタを用いることなく、不要輻射を大幅に低減することができ、通信機器の小型化、低価格化に対応することができる。

【0036】なお、上記実施例では、中心導体51、52の先端部をV字状に屈曲させてインダクタンス $L_f$ を形成しているが、インダクタンス $L_f$ を形成する形状はこれに限るものではなく、例えば、コ字状あるいはU字状に屈曲したものでよく、また、ミアンダ状に複数回屈曲したものでよい。

【0037】また、上記実施例では、外部容量として実装基板のはんだ付けランド部に形成される電極分布容量を利用したもので説明したが、外部容量はこれに限るものではなく、外部容量としてチップコンデンサ等を用いるようにしてもよい。

【0038】また、上記実施例では、アイソレータの信

号入出力側の両方の中心導体51、52の先端部に低域通過フィルタLPFを構成するインダクタンスLfを形成したもので説明したが、これに限るものではなく、中心導体51、52のいずれか一方にのみ上記インダクタンスLfを形成した構成であってもよい。

【0039】また、上記実施例では、アイソレータを例にとって説明したが、ポートP3に終端抵抗Rを接続することなく、ポートP3を第3の入出力部として構成したサーキュレータも本発明を適用することができる。

【0040】また、全体の構造も上記実施例の図1及び図2に示すものに限るものではなく、例えば、上記複数の中心導体を、誘電体材料または磁性体材料からなる多層基板の異なる層に電極材を印刷あるいは蒸着等の方法により形成した構造のものであってもよい。この場合も、中心導体の先端部をインダクタンス形成に適した形状に形成することにより、上記インダクタンスLfを容易に形成することができる。

【0041】要するに、本発明は少なくとも1つの信号入出力部の中心導体の先端部に低域通過フィルタを構成するインダクタンスが形成されていることを特徴とするものであり、他の構成については特に限定するものではない。

【0042】

【発明の効果】以上説明したように、本発明に係る非可逆回路素子によれば、中心導体の先端部が所定の値のインダクタンスを有するように形成され、この中心導体の先端部に形成されたインダクタンスと、整合容量と、実装基板の電極分布容量等の外部容量とで低域通過フィルタを形成することができるので、帯域外における減衰量を大幅に改善することができる。

【0043】すなわち、外形寸法を変えることなく非可逆回路素子に低域通過フィルタを構成するインダクタンス及び容量を形成することができ、これらのインダクタンス及び容量と、実装基板に形成される電極分布容量等の外部容量とで低域通過フィルタを構成することができる。したがって、本発明に係る非可逆回路素子を用いれば、不要輻射防止用の別のフィルタを不要とすることが

でき、通信機器等の小型化、低価格化を図ることができる。

【図面の簡単な説明】

【図1】本発明の一実施例に係るアイソレータの分解斜視図である。

【図2】本発明の一実施例に係るアイソレータの平面図である。

【図3】本発明に係るアイソレータの等価回路図である。

【図4】本発明の一実施例に係るアイソレータの実装状態を示す斜視図である。

【図5】本発明に係るアイソレータの実装状態での等価回路図である。

【図6】本発明に係るアイソレータの実装状態での作用を説明するための等価回路図である。

【図7】本発明と従来のアイソレータの周波数特性図である。

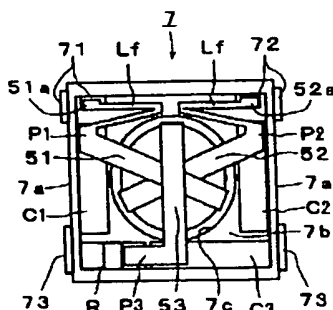
【図8】従来のアイソレータの分解斜視図である。

【図9】従来のアイソレータの等価回路図である。

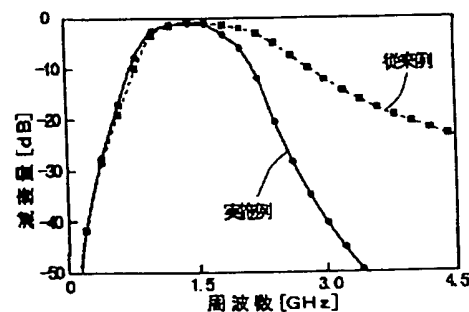
【符号の説明】

2	上ヨーク
3	永久磁石
5	磁性組立体
51～53	中心導体
54	フェライト
7	樹脂ケース
71、72	入出力端子
73	アース端子
8	下ヨーク
10	実装基板
11、12	伝送線路
11a、12a	はんだ付けランド
C1～C3	整合容量（コンデンサ）
R	終端抵抗
Lf	インダクタンス
Cp	電極分布容量
P1～P3	ポート（ポート部）

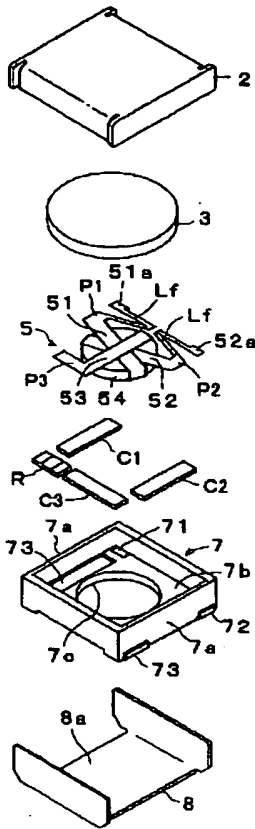
【図2】



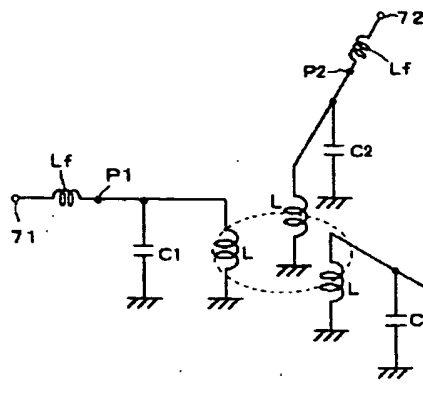
【図7】



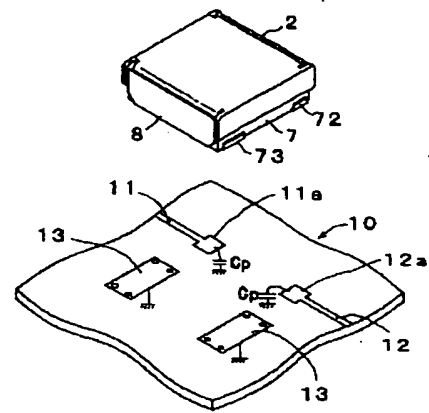
【図1】



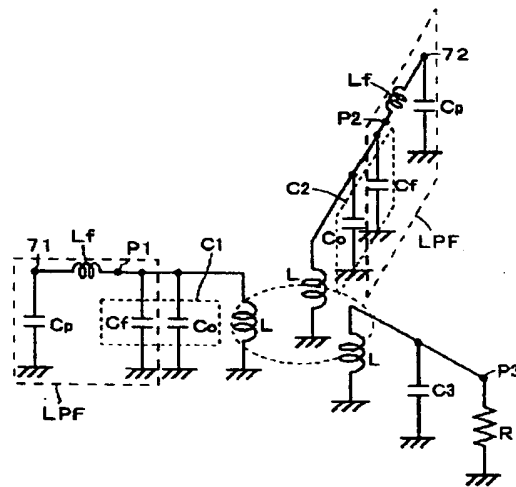
【図3】



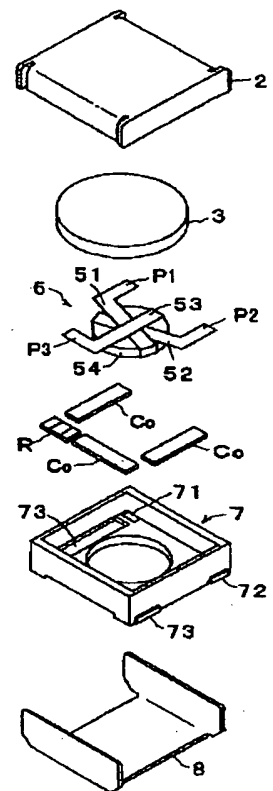
【図4】



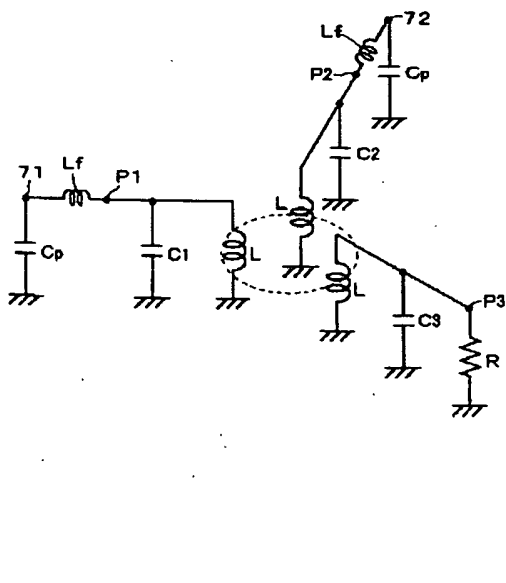
【図6】



【図8】



【図5】



【図9】

